

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-186299

(43) 公開日 平成9年(1997)7月15日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/108			H 0 1 L 27/10	6 5 1
21/8242			27/04	C
27/04				
21/822				

審査請求 未請求 請求項の数 11 O L (全 5 頁)

(21) 出願番号 特願平8-301586

(22) 出願日 平成8年(1996)11月13日

(31) 優先権主張番号 1 9 9 5 P 4 4 9 0 2

(32) 優先日 1995年11月29日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 朴 淳五

大韓民国京畿道水原市長安区亭子2洞79-

8 番地湖南路立C棟302号

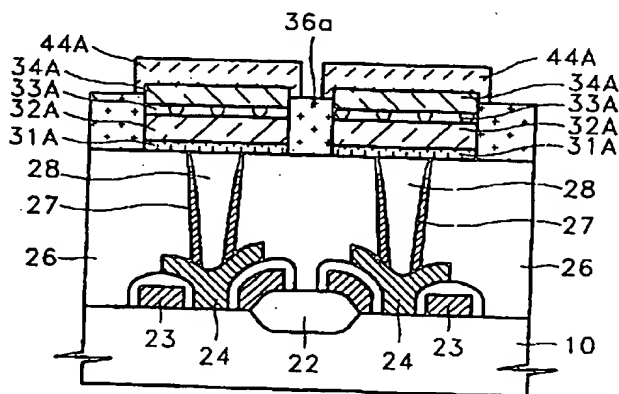
(74) 代理人 弁理士 服部 雅紀

(54) 【発明の名称】 高誘電体キャパシタの製造方法

(57) 【要約】

【課題】 制作が容易で、優れた電気的特性を有する高誘電体キャパシタの製造方法を提供する。

【解決手段】 本発明の高誘電体キャパシタは、(a) 半導体基板10上に第1導電膜、高誘電膜及び第2導電膜を順次に蒸着する段階と、(b) 前記第1導電膜、高誘電膜及び第2導電膜を順番に蝕刻してキャパシタ電極パターン32A、33Aおよび34Aを形成する段階と、(c) 前記結果物の全面に絶縁膜を所定の厚さで蒸着する段階と、(d) 前記絶縁膜をエッチバックして前記キャパシタ電極パターン32A、33Aおよび34Aの両側面に絶縁膜スペーサ36aを形成する段階とを具備することを特徴とする。本発明による前記第1導電膜は耐酸化性物質から形成されることが望ましく、前記耐酸化性物質はPt, Ru, Ir, Pd のうち選択された何れか一つであることが望ましい。



【特許請求の範囲】

【請求項1】(a) 半導体基板上に第1導電膜、高誘電膜及び第2導電膜を順次に形成する段階と、

(b) 前記第1導電膜、高誘電膜及び第2導電膜を順番に蝕刻してキャパシタ電極パターンを形成する段階と、

(c) 前記結果物の全面に絶縁膜を所定の厚さで蒸着する段階と、

(d) 前記絶縁膜をエッチバックして前記キャパシタ電極パターンの両側面に絶縁膜スペーサを形成する段階とを具備することを特徴とする高誘電体キャパシタの製造方法。

【請求項2】 前記第1導電膜は耐酸化性物質から形成されることを特徴とする請求項1に記載の高誘電体キャパシタの製造方法。

【請求項3】 前記耐酸化性物質はPt, Ru, Ir, Pdのうち選択された何れか一つであることを特徴とする請求項2に記載の高誘電体キャパシタの製造方法。

【請求項4】 前記(a)段階の前に、導電性プラグを形成する段階及び拡散防止膜を形成する段階を更に具備することを特徴とする請求項1に記載の高誘電体キャパシタの製造方法。

【請求項5】 前記拡散防止膜はチタン窒化膜(TiN)とルテニウム酸化膜(RuO₂)のうち選択された何れか一つから形成されることを特徴とする請求項4に記載の高誘電体キャパシタの製造方法。

【請求項6】 前記高誘電膜はBaTiO₃, PbTiO₃, SrTiO₃, Pb(Zr, Ti)O₃, (Ba, Sr)TiO₃のうち選択された何れか一つから形成されることを特徴とする請求項1に記載の高誘電体キャパシタの製造方法。

【請求項7】 前記(b)段階以後、キャパシタ電極パターンの形成された結果物の全面を熱処理して前記蝕刻時発生した損傷を治癒し、第1導電膜パターン、高誘電膜パターン及び第2導電膜パターンのそれぞれの界面を安定化させる熱処理段階を更に具備することを特徴とする請求項1に記載の高誘電体キャパシタの製造方法。

【請求項8】 前記熱処理段階は600~800℃の温度で行われることを特徴とする請求項7に記載の高誘電体キャパシタの製造方法。

【請求項9】 前記熱処理段階は非酸化雰囲気で行われることを特徴とする請求項7に記載の高誘電体キャパシタの製造方法。

【請求項10】 前記高誘電膜パターンの表面は前記エッチバック工程の蝕刻終了点として用いられることを特徴とする請求項1に記載の高誘電体キャパシタの製造方法。

【請求項11】 前記(d)段階以後、前記絶縁膜スペーサと第2導電膜パターンの上に第3導電膜を蒸着した後、パタニングする段階を更に具備することを特徴とする請求項1に記載の高誘電体キャパシタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は超高集積半導体装置の製造方法に係り、特に漏れ電流の増加が防止されて信頼度の向上された高誘電体キャパシタを製造する方法に関する。

【0002】

【従来の技術】DRAM(Dynamic Random Access Memory)の集積度が256Mビット以上に増加するに伴い、キャパシタの有効面積も段々減少されて、既存のNO(Nitride/Oxide)膜やTa₂O₅のような誘電膜を以ては所望するキャパシタンスを確保し難くなりつつある。従って、キャパシタの有効面積を増加させるために、シリンダ型又はフィン型のようにストリッジ電極の立体化が行われている。

【0003】しかしながら、シリンダ型又はフィン型のようなキャパシタはその構造が複雑であり、製造工程も大変難しいために、経済性及び信頼度に劣る問題点がある。このようなキャパシタ構造の複雑さによる問題点を解決するために、約10年前から高誘電膜に対する研究が行われつつあった。特に、ペロブスカイト(perovskite)構造の物質、例えばBaTiO₃, PbTiO₃, SrTiO₃(以下、STOという)、Pb(Zr, Ti)O₃(以下、PZTという)、(Ba, Sr)TiO₃(以下、BSTという)等が高誘電膜の材料として注目されている。このような高誘電膜材料の誘電率はNO膜に比べて約100倍以上高い。従って、キャパシタ構造を簡単なスタック型構造に形成しても十分なキャパシタンスを得ることができるので、製造段階を大幅に省くことができる。

【0004】以下、図1乃至図5を参照して高誘電体キャパシタの製造方法を説明する。図1はトランジスタの形成された半導体基板10上にポリシリコンプラグ12を形成する段階を、図2は前記結果物上に拡散防止膜13と下部電極14を形成する段階をそれぞれ示している。次いで、図3のように結果物の全面に絶縁膜16を蒸着した後、図4に示されるように、異方性乾式蝕刻方法にて前記絶縁膜16をエッチバックして絶縁膜スペーサ16aを形成する。

【0005】このように絶縁膜スペーサ16aを形成する理由は次の通りである。一般に、後続工程で形成される高誘電膜(図5の18参照)はスパッタリング方法により蒸着される。何故ならば、蒸着方法が容易な上に、膜の再現性も優秀であり、所望する膜質を簡単に製造できるからである。ところが、スパッタリング方式に蒸着された高誘電膜は基本的にステップカバレッジが不良なため、ストリッジ電極の側面に高誘電膜を蒸着することが不可能である。

【0006】従って、ストリッジ電極と電極の間に絶縁膜を塗布した後、エッチバックすることによりストリッジ電極の両側面に絶縁膜スペーサ16aを形成するのである。

【0007】

【発明が解決しようとする課題】ところが、前記絶縁膜スペーサ16aの形成時に前記下部電極14上の絶縁膜16残留物を完全に除去するためには過蝕刻を行わなければならない。従って、前記下部電極14とスペーサ16aの間に段差(A)が発生するようになる。次に、図5のように前記下部電極14上に高誘電膜18と上部電極19を蒸着する。ところが、高誘電膜18はステップカバレッジが低いため、前記下部電極14の外周の段差(図4のA)で被覆力の不良な高誘電膜18が形成される。従って、ストリッジ電極の外周部分で漏れ電流が増加される問題点が発生する。

【0008】本発明は前述した従来の問題点を解決するために案出されたものであり、制作が容易で、電気的な特性の改善された高誘電体キャパシタの製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】前記目的を達成するために本発明の高誘電体キャパシタは、(a) 半導体基板上に第1導電膜、高誘電膜及び第2導電膜を順次に蒸着する段階と、(b) 前記第1導電膜、高誘電膜及び第2導電膜を順番に蝕刻してキャパシタ電極パターンを形成する段階と、(c) 前記結果物の全面に絶縁膜を所定の厚さで蒸着する段階と、(d) 前記絶縁膜をエッチバックして前記キャパシタ電極パターンの両側面に絶縁膜スペーサを形成する段階とを具備することを特徴とする。

【0010】本発明による前記第1導電膜は耐酸化性物質から形成されることが望ましく、前記耐酸化性物質はPt, Ru, Ir, Pdのうち選択された何れか一つであることが望ましい。かつ、前記(a)段階の前に、導電性プラグを形成する段階及び拡散防止膜を形成する段階を更に具備し、前記拡散防止膜はチタン窒化膜(TiN)とルテニウム酸化膜(RuO₂)のうち選択された何れか一つから形成されることが望ましい。

【0011】かつ、前記高誘電膜はBaTiO₃, PbTiO₃, STO, PZT, BSTのうち選択された何れか一つから形成されることが望ましい。本発明の望ましい実施例によると、前記(b)段階以後、キャパシタ電極パターンの形成された結果物の全面を熱処理して前記高誘電膜の蝕刻損傷を治癒し、第1導電膜パターン、高誘電膜パターン及び第2導電膜パターンのそれぞれの界面を安定化させる段階を更に具備し、前記熱処理段階は600～800℃の温度、非酸化雰囲気で行われることが望ましい。

【0012】かつ、前記高誘電膜パターンの表面は前記エッチバック工程の終末点として用いられることが望ましい。かつ、前記(d)段階以後、前記絶縁膜スペーサと第2導電膜パターンの上に第3導電膜を蒸着した後、パタニングする段階を更に具備することもできる。本発明によると、上部電極パターンを形成した後、絶縁膜スペーサを形成することにより、下部電極パターンの外周部

に発生した段差の問題点が解決される。従って、下部電極の外周で漏れ電流が発生することが防止されて、優れた電気的特性を有する高誘電体キャパシタを得ることができる。

【0013】

【発明の実施の形態】以下、本発明の実施例を添付した図面に基づき更に詳細に説明する。図6を参照すると、半導体基板10に局部酸化(LOCOS)方式にて素子分離領域22を形成する。次いで、ゲート電極23を形成した後、不純物をイオン注入してソース/ドレイン領域を形成することによりトランジスタを完成する。次に、ゲート電極23の間にパッド電極24を形成してから、素子の絶縁及び平坦化のための層間絶縁膜26を形成する。前記層間絶縁膜26はCVD(Chemical Vapor Deposition)を用いたBPSG(Boro-Phosphorous Silica Glass)やシリコン酸化膜を用いて形成する。前記層間絶縁膜26を蝕刻してパッド電極24を露出させるコンタクトホールを形成した後、コンタクトホールに多結晶シリコンを埋立てて、プラグ28を形成する。この際、多結晶シリコンを埋立てる前に、コンタクトホールの側壁を保護するために窒化膜等を用いてスペーサ27を形成することもできる。

【0014】引き続き、スパッタリング方法にて拡散防止膜31、下部電極32、高誘電膜33及び上部電極34を順次に積層する。前記拡散防止膜31は半導体基板10及びポリシリコンプラグ28等の導電物質にドーピングされている不純物又はシリコンが下部電極32に拡散されることを防止するために形成し、主にチタン窒化膜(TiN)又はルテニウム酸化膜(RuO₂)とから形成する。

【0015】かつ、前記下部電極32は白金(Pt)、ルテニウム(Ru)、イリジウム(Ir)、パラジウム(Pd)のような耐酸化性物質から形成する。かつ、前記高誘電膜33はBaTiO₃, PbTiO₃, STO, PZT, BSTのうち選択された何れか一つから形成される。図7を参照すると、所定のマスクパターン(PR)を用いて前記上部電極34、高誘電膜33、下部電極32及び拡散防止膜31を異方性乾式方法にて順番に蝕刻して各セル単位で分離されたキャパシタの電極パターン31A、32A、33Aおよび34Aを形成する。

【0016】前記マスクパターン(PR)を取り除いた後、前記異方性乾式蝕刻により招かれ得る高誘電膜の蝕刻損傷を防止し、前記高誘電膜の電極パターン33Aと上部電極パターン34Aとの界面安定化のために、かつ高誘電膜の誘電率を高めるために、約600～800℃、望ましくは約750℃の高温で非酸化性雰囲気、例えばN₂雰囲気下で熱処理工程を行うこともできる。

【0017】次に、図8に示すように、前記キャパシタ電極パターン31A、32A、33Aおよび34Aが十分に塗布され得る程度の厚さで絶縁膜36を蒸着する。この際、前記絶縁膜36として、シリコン酸化膜、SO

G (spin on glass) 膜又はシリコン窒化膜を用いることができる。次いで、前記上部電極パターン34A上に塗布されている絶縁膜36が全部取り除かれ得るようにエッチバック工程を施し、図9のように絶縁膜スペーサ36aを形成する。この際、前記上部電極パターン34Aの下部に形成された高誘電体膜パターン33Aの表面を前記エッチバック工程の終末点として用いる。図9を参照すると、過蝕刻により上部電極パターン34Aの外周部に段差(B)が発生したが、このような段差(B)は素子の電気的特性に全然影響を及ぼさない。

【0018】最終的に、前記結果物の全面に電極物質を蒸着した後、前記電極物質をセル単位でパタニングして、図10のように電極物質パターン44Aを形成してキャパシタを完成した。即ち、本発明による高誘電体キャパシタ製造方法は、下部電極パターンのみを形成した後、絶縁膜スペーサを形成した従来技術とは異なり、上部電極パターン34Aまで形成した後、絶縁膜スペーサ36aを形成するので、従来の高誘電体キャパシタ製造方法と区別される。従って、従来技術では下部電極パターンの外周部に段差(図4のA参照)が形成される反面、本発明では上部電極パターン34Aの外周部に段差(図9のB参照)が形成される。従って、漏れ電流が減少し、優れた電気的な特性を有する高誘電体キャパシタを製造することができる。

【0019】

【発明の効果】本発明による高誘電体キャパシタ製造方法は、下部電極パターンのみを形成した後、絶縁膜スペーサを形成した従来技術とは異なり、上部電極パターンまで形成した後、絶縁膜スペーサを形成することにより、漏れ電流が減少し、優れた電気的な特性を有する高誘電体キャパシタを製造することができる。

【0020】本発明は前記実施例に限られず、多くの変形が本発明の技術的思想内で当分野において通常の知識を有する者により可能であることは明白である。

【図面の簡単な説明】

【図1】従来の技術による高誘電体キャパシタの製造方法を各段階別に順次に示した断面図である。

【図2】従来の技術による高誘電体キャパシタの製造方法を各段階別に順次に示した断面図である。

【図3】従来の技術による高誘電体キャパシタの製造方法を各段階別に順次に示した断面図である。

【図4】従来の技術による高誘電体キャパシタの製造方法を各段階別に順次に示した断面図である。

【図5】従来の技術による高誘電体キャパシタの製造方法を各段階別に順次に示した断面図である。

【図6】本発明による高誘電体キャパシタの製造方法を各段階別に順次に示した断面図である。

【図7】本発明による高誘電体キャパシタの製造方法を各段階別に順次に示した断面図である。

【図8】本発明による高誘電体キャパシタの製造方法を各段階別に順次に示した断面図である。

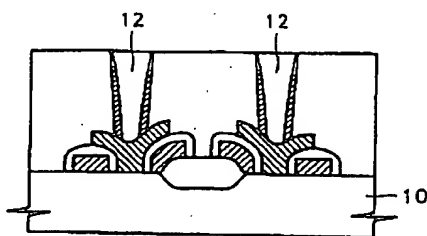
【図9】本発明による高誘電体キャパシタの製造方法を各段階別に順次に示した断面図である。

【図10】本発明による高誘電体キャパシタの製造方法を各段階別に順次に示した断面図である。

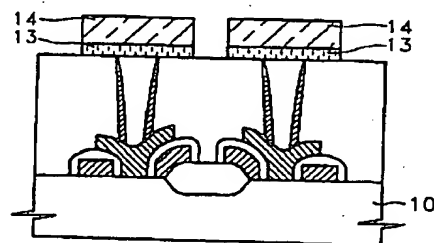
【符号の説明】

- 10 半導体基板
- 22 素子分離領域
- 23 ゲート電極
- 24 パッド電極
- 26 層間絶縁膜
- 27 スペーサ
- 28 フラグ
- 31 拡散防止膜
- 32 下部電極(第1導電膜)
- 33 高誘電膜
- 34 上部電極(第2導電膜)
- 36 絶縁膜
- 36a 絶縁膜スペーサ
- 44A 電極物質パターン

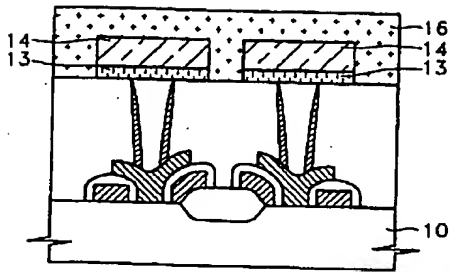
【図1】



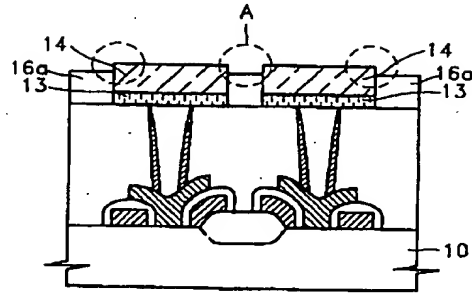
【図2】



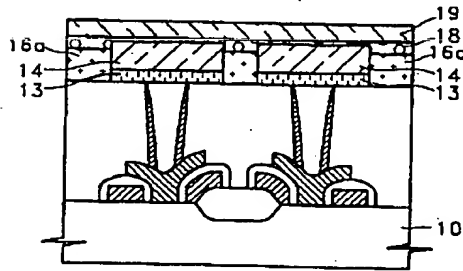
【図3】



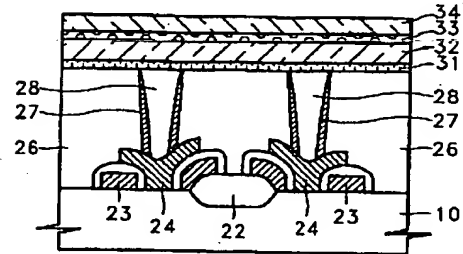
【図4】



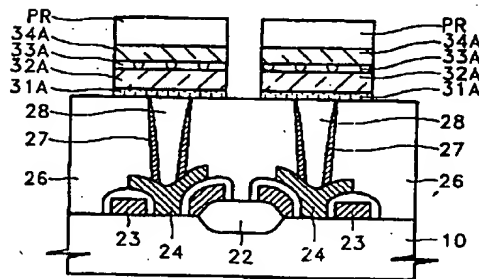
【図5】



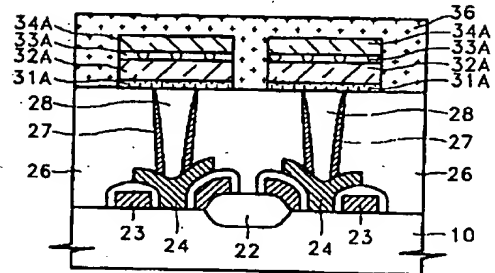
【図6】



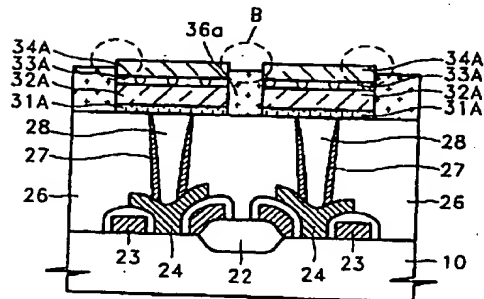
【図7】



【図8】



【図9】



【図10】

